

⑫ 公開特許公報(A)

平2-253642

⑮ Int. Cl.³

H 01 L 21/78

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)10月12日

S
R6824-5F
6824-5F

審査請求 未請求 請求項の数 2 (全6頁)

⑭ 発明の名称 半導体装置およびその製造方法

⑰ 特 願 平1-75708

⑱ 出 願 平1(1989)3月27日

⑲ 発 明 者 松 岡 敬 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マ
イクロ波デバイス研究所内
⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
㉑ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 半導体基板上に実素子が形成され裏面に金属層が形成された半導体チップ側面にメタライズ部を形成した半導体装置において、前記半導体チップ表面を除くチップ側面および裏面にのみ連続したメタライズ部を形成したことを特徴とする半導体装置。

(2) 複数組の実素子が形成された半導体基板を所望の厚みに形成した後、前記半導体基板にレジストパターンを形成し、このレジストパターンをマスクにして各スクライプ部に分離溝を形成する工程、前記レジストパターンを除去後、前記分離溝を埋め込むと同時に裏面全面に金属層を形成する工程、前記分離溝のスクライプラインよりスクライプして各半導体装置に分離することによって前記チップ側面に、裏面に形成された金属層と連続したメタライズ部を形成する工程を含むことを

特徴とする請求項(1)に記載の半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体基板、特にGaAs素子において、その基板を著しく薄くした際に素子の機械的強度を持たせるためのチップ側面にメタライズ部を施した半導体装置およびその製造方法に関するものである。

(従来の技術)

第4図は従来のこの種の半導体装置の断面図である。この図で、1は半導体基板、2~4は前記半導体基板1の表面に形成された実素子、5は電気メッキのために必要な給電層、6は前記半導体基板1の裏面に形成した裏面電極となる金属層、11は前記チップ側面に形成されたメタライズ部であり、このメタライズ部11はチップ表面にも突出して形成される。

次に、第5図(a)~(h)により第4図の半導体装置の製造方法について説明する。

まず、半導体基板1、例えばGaAsウエハ上に実素子2~4を形成し(第5図(a))、次いでGaAsウエハを写真製版工程に通しチップを分離すべき領域(スクライプライン部)以外がレジスト(図示せず)で覆われるようにレジストパターンを形成し、次にこのレジストパターンをマスクにしてGaAsウエハに基板エッチングを行い分離溝8を形成する。また、分離溝8は所望の基板厚と等しい深さまでエッチングされる。その後、レジストを除去する(第5図(b))。次に写真製版工程で実素子2~4がレジストで完全に覆われるように下層レジスト9を形成し、さらに前工程で形成したスクライプライン部が露出するように下層レジスト9をパターニングする(第5図(c))。次に、例えばGaAsウエハ全面にスパッタ金属膜を形成し、後工程で電気メッキを行う際に必要な給電層5を形成する。そして、その上にもう一度上層レジスト10を形成し、これをパターニングしてレジストパターンを形成する(第5図(d))。この上層レジスト10は電

気メッキの際の壁となるレジストである。次に給電層5の露出している部分に電気メッキ法により、例えば金を成長させチップ側面にメタライズ部11を形成する(第5図(e))。次に電気メッキの際に使用し不要となった上、下層レジスト10、9および給電層5の除去を行う(第5図(f))。以上で表面プロセスが完了する。

次いで、GaAsウエハを所望の厚みまで削り、その削った面全面に裏面電極となる金属層6、例えば金層を形成する(第5図(g))。最後に、例えばダイサ、スクライバ等を用いて分離溝8のスクライプラインに添って各半導体装置の分離を行う(第5図(h))。

このような方法で形成された各半導体装置は、側面が金等のメタライズ部11でカバーされているので、ピンセット等で素子をつかんだり、ケースに入れて運搬する際、機械的にもろいGaAs部がカケたりワレたりすることなく有効である。なお、完成チップ側面の部分拡大斜視図を第6図に示す。

(発明が解決しようとする課題)

上記のような従来のチップ側面のメタライズ構造は、半導体装置の表面側も金属、すなわちメタライズ部11で覆われるような構造になる。このような場合、表面の実素子2~4の電極に側面のメタライズ部11が近づきすぎ、ワイヤボンディングの際、短絡するおそれがある。また、各素子はキャリアに固定する際はんだ付けを行うが、そのはんだが各半導体装置の表面まであがってきて短絡するおそれがある。

また、製造方法も分離溝8の形成のため基板表面に著しい段差が形成された後に、写真製版を要するため、段差部のレジスト膜厚の不均一の発生または段差凹部の底に発生するレジスト残り等の不具合が発生する。さらに、2回もの写真製版工程およびそれに伴うレジスト除去工程が必要となり、工程数が大幅に増大する等の問題点があった。

この発明は、上記のような多くの問題点を改善するためになされたもので、チップ側面のメタラ

イズ構造が素子の側面だけに形成される半導体装置およびその製造方法を得ることを目的とするものである。

(課題を解決するための手段)

この発明に係る半導体装置は、半導体チップ表面にはメタライズされないように金属層に連続して、チップ側面にメタライズ部を形成したものである。

また、この発明の半導体装置の製造方法は、複数組の実素子が形成された半導体基板を所望の厚みに形成した後、半導体基板にレジストパターンを形成し、このレジストパターンをマスクにして各スクライプ部に分離溝を形成し、前記レジストパターンを除去後、前記分離溝を埋め込むように裏面全面に金属層を形成し、さらに、前記分離溝のスクライプラインよりスクライプして各半導体装置に分離することによって裏面に形成された金属層と連続して、かつ同時にチップ側面にメタライズ部を形成するものである。

(作用)

この発明の請求項(1)に記載の半導体装置においては、チップ側面のみに裏面の金属層と同時にメタライズ部を形成し、表面にはメタライズされない構造としたので、ワイヤボンディングの際のボンディングワイヤが側面メタライズによって短絡したり、キャリアに固定する際に使用するはんだが表面まで上ってきて短絡するようなことはない。

また、この発明の請求項(2)に記載の半導体装置の製造方法においては、分離溝形成後の写真製版工程を必要としない方法を採用したので、段差部のレジスト膜圧の不均一およびレジスト残り等のトラブルの低減、工程の簡略化、工期の短縮が可能となる。

(実施例)

以下、この発明の一実施例を図面について説明する。

第1図はこの発明の一実施例を示す半導体装置の断面図である。第1図において、1は半導体基板、2～4は前記半導体基板1上の表面に形成さ

れた実素子、5は電気メッキの際必要な給電層、6は素子裏面に電気メッキにより形成した裏面電極となる金属層、6aは素子側面に形成されたメタライズ部である。

溝8のスクライブラインに添って各素子の分離を行うことにより、素子側面にメタライズ部6aが金属層6と同時に形成され、第1図の半導体装置を得る。

第3図は完成チップ側面を拡大して示した斜視図である。

このような方法で作られた各半導体装置は、側面のメタライズ部6aと半導体基板1の裏面電極である金属層6とは同時に形成できるため、大幅に工程の削減が可能となる。また、側面のメタライズ部6aが裏面から形成されるため表面側にメタライズがまわり込むことはなく、従来例のように表面側の素子のワイヤボンディング時の短絡等の問題点も解決できる。また、従来のように著しい段差を伴う分離溝8を形成した後の写真製版工程も行われないので、段差の凹部に発生するレジスト残渣の問題も解決される。

なお、上記実施例では側面のメタライズ部6aおよび裏面電極となる金属層6の構造および形成方法に関して給電層5を形成した後、電気メッキ

次に第1図の半導体装置の製造方法を第2図(a)～(e)について説明する。

まず、第2図(a)に示すように、半導体基板1上に実素子2～4を複数組形成し、次いで、第2図(b)に示すように、半導体基板1を所望の厚みまで削り、さらに、第2図(c)に示すように、半導体基板1の裏面に写真製版を行いレジスト7をパターンニングし、このレジストパターンをマスクにして半導体基板1に対して裏側からスクライブライン部に分離溝8を形成する。その後、第2図(d)に示すように、半導体基板1の裏面のレジスト7を除去した後、裏面全面に電気メッキ用の給電層5を形成し、この給電層5を用いて裏面電極となる金属層6、例えば金属を電気メッキにより形成する。最後に、第2図(e)に示すように、ダイサまたはスクライバ等を用いて分離

法により金属層6を形成したが、これは素子の特性、性格、性能等を考慮して、例えば無電解メッキ、金属膜スパッタだけに省略しても何ら問題なく、上記実施例と同様の効果を奏する。

また、最後のチップ分離についても上記実施例では、スクライバまたはダイサ等による機械的な分離切断を示したが、さらにもう一工程を追加してレジストマスクを用いたウエットエッチング、ドライエッチング等を用いてもよい。

(発明の効果)

以上説明したように、この発明の請求項(1)に記載の半導体装置は、半導体チップ表面を除くチップ側面および裏面にのみ連続したメタライズ部を形成したので、ワイヤボンディング時の短絡、キャリア固定時のはんだ上昇に伴う短絡が防止される。

また、この発明の請求項(2)に記載の半導体装置の製造方法は、複数組の実素子が形成された半導体基板を所望の厚みに形成した後、半導体基板にレジストパターンを形成し、このレジストパタ

ーンをマスクにして各スクライプ部に分離溝を形成し、前記レジストパターンを除去後、前記分離溝を埋め込むと同時に裏面全面に金属層を形成し、さらに前記分離溝のスクライプラインよりスクライプして各半導体装置に分離することによって前記チップ側面に、裏面に形成された金属層と連続したメタライズ部を形成するようにしたので、チップ側面のメタライズ部が裏面電極と同時に形成されウエハの表面にはメタライズされないで、従来のような著しい段差の凹部に発生するレジスト残渣等のトラブルが大幅に低減される。また、分離溝形成後は写真製版工程を通らないので、工程の簡略化、工期の短縮化とともに、素子の長期的な性能の安定、品質および信頼性の向上がはかれる等の効果が得られる。

4. 図面の簡単な説明

第1図はこの発明の一実施例を示す半導体装置の断面図、第2図は、第1図の半導体装置の製造方法を説明するための工程断面図、第3図は、第1図のチップ側面部の部分拡大斜視図、第4図は

従来の半導体装置の断面図、第5図は、第4図の半導体装置の製造方法を説明するための工程断面図、第6図は従来のチップ側面部の部分拡大斜視図である。

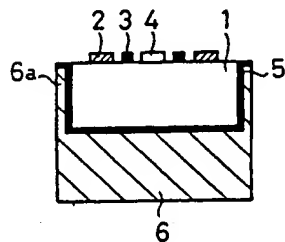
図において、1は半導体基板、2～4は実素子、5は給電層、6は金属層、6aはメタライズ部、7はレジスト、8は分離溝である。

なお、各図中の同一符号は同一または相当部分を示す。

代理人 大 岩 増 雄

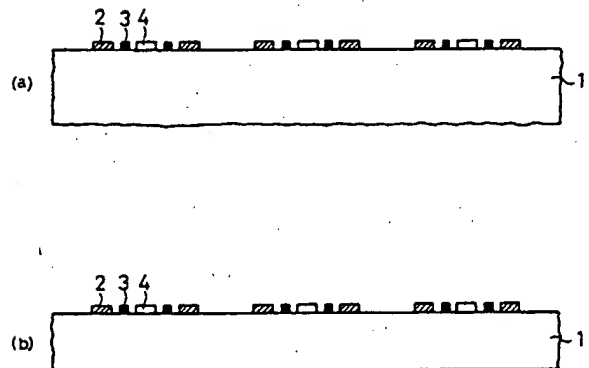
(外2名)

第 1 図

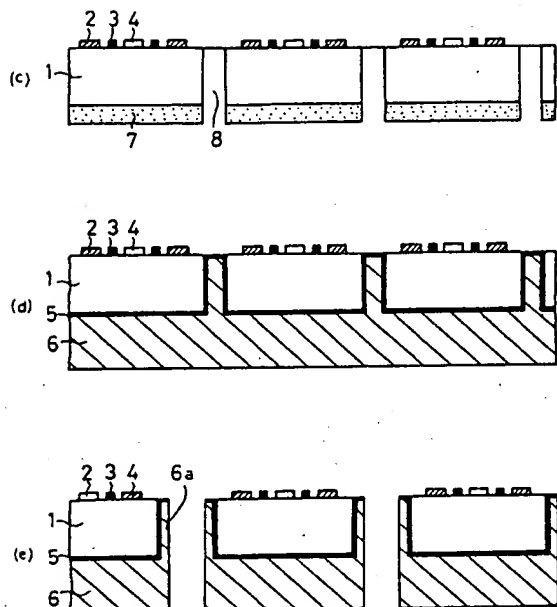


- 1: 半導体基板
- 2, 3, 4: 実素子
- 5: 給電層
- 6: 金属層
- 6a: メタライズ部

第 2 図 その 1

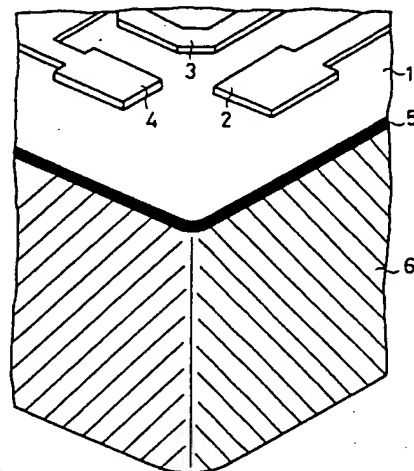


第 2 図 その 2

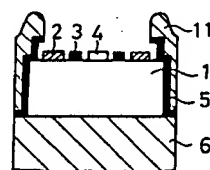


7:レジスト
8:光阻液

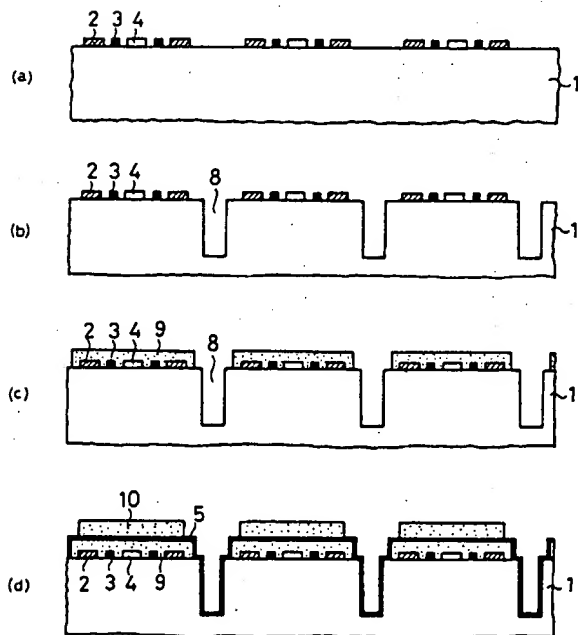
第 3 図



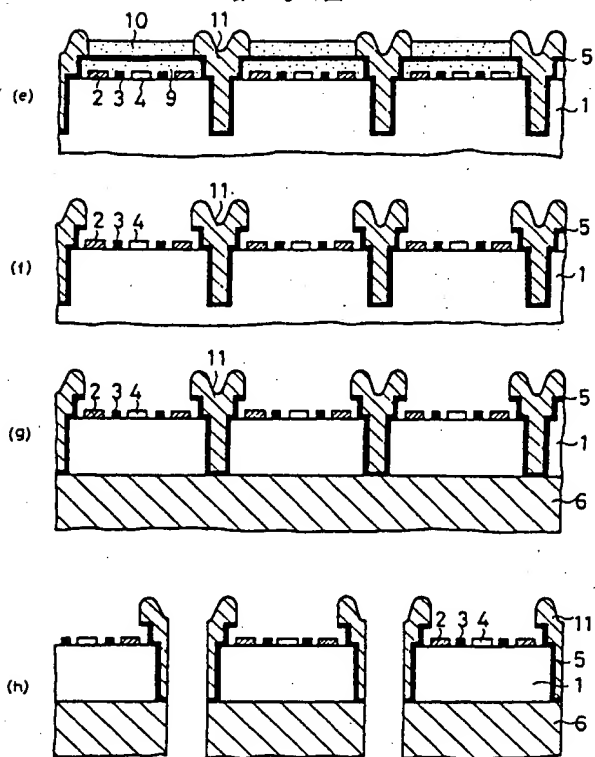
第 4 図



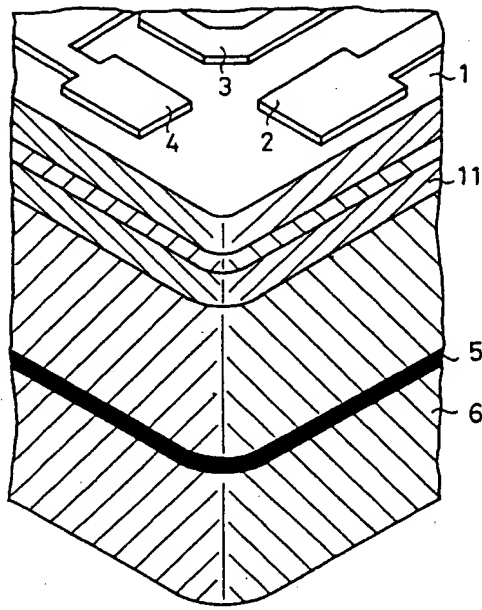
第 5 図 その 1



第 5 図 その 2



第 6 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.